

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-047255

(43)Date of publication of application : 18.02.2000

(51)Int.Cl. G02F 1/136
G02F 1/1345
G09G 3/36

(21)Application number : 10-210714 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 27.07.1998 (72)Inventor : KANEKO NAOMI
MINAMINO YUTAKA
NAKAMURA MIKA

(54) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to check pixel defects in a state of an array substrate before liquid crystal filling process, and moreover, inspect the substrate in a short time.

SOLUTION: Relating to a liquid crystal display panel displaying by a line- sequential method, a scanning signal line drive circuit 18 which transmits scanning signals to scanning signal lines V1,..., Vn, and an image signal line drive circuit 17 which transmits image signals to image signal lines S1,..., Sn are formed of semiconductor layers formed on the array substrate 11. The end parts on one side of the image signal lines S1,..., Sn connected with the image signal line drive circuit 17, and the end parts on the

other side of the image signal lines S1,..., Sn are connected with a pixel defect inspection circuit 20 for checking pixel defects. The pixel defect inspection circuit 20 is composed of semiconductor layers formed on the array substrate 11.

LEGAL STATUS [Date of request for examination] 17.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3263365

[Date of registration] 21.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more picture signal lines and two or more scan signal lines are formed in the shape of a matrix. And it has the array substrate with which the pixel switching element was formed in each location near the intersection of a picture signal line and a scan signal line, respectively. The picture signal line drive circuit which transmits a picture signal to the scan signal-line drive circuit which transmits a scan signal to said scan signal line, and said picture signal line In the liquid crystal display panel which is constituted by the semi-conductor layer formed on said array substrate, and displays with a line sequential drive method in the edge of one side of

said picture signal line It is the liquid crystal display panel which said picture signal line drive circuit is connected, and the pixel defective checking circuit for inspecting a pixel defect is connected to the edge of the other side of a picture signal line, and is characterized by this pixel defective checking circuit being constituted by the semi-conductor layer formed on said array substrate.

[Claim 2] The discharge current value or discharge voltage value of a charge accumulated in the capacity for every pixel which said pixel defective checking circuit was prepared for every picture signal line, and was read for every 1 scan signal line through each picture signal line, The liquid crystal display panel according to claim 1 characterized by comparing the reference value defined beforehand and having the comparator circuit changed and outputted to the logical value according to size relation, and the logical circuit outputted in quest of the AND of the output from said each comparator circuit.

[Claim 3] The liquid crystal display panel according to claim 2 characterized by preparing the digital disposal circuit which extends the pulse width of the output pulse of a comparator circuit between said comparator circuits and said logical circuits.

[Claim 4] Two or more picture signal lines and two or more scan signal lines are formed in the shape of a matrix. And it has the array substrate with which the pixel switching element was formed in each location near the intersection of a picture signal line and a scan signal line, respectively. The picture signal line drive circuit which transmits a picture signal to the scan signal-line drive circuit which transmits a scan signal to said scan signal line, and said picture signal line In the liquid crystal display panel which is constituted by the semi-conductor layer formed on said array substrate, and displays with a point sequential drive method in the edge of one side of said picture signal line Said picture signal line drive circuit is connected. In the edge of the other side of a picture signal line It is the liquid crystal display panel characterized by being constituted by the semi-conductor layer which the pixel defective checking circuit for inspecting a pixel defect is connected, and this pixel defective checking circuit has the same circuitry as said picture signal line drive circuit, and was formed on said array substrate.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display panel which can inspect a pixel defect especially in the condition of the array substrate in front of a liquid crystal impregnation process about the liquid crystal display panel of the

active matrix which used active components, such as a thin film transistor (TFT:Thin Film Transistor), as a pixel switching element.

[0002]

[Description of the Prior Art] The active matrix liquid crystal display panel which uses a polysilicon thin film transistor (it abbreviates to p-SiTFT below) as a switching element has the description that a drive circuit can be built in on the same substrate as the pixel transistor which constitutes a display. As a drive method of the liquid crystal display panel equipped with such a TFT matrix array, there are two kinds, a point sequential drive method and a line sequential drive method.

[0003] By the way, with big-screen-izing of a liquid crystal panel in recent years, and highly-minute-izing, the number of pixels of the liquid crystal panel of one sheet becomes very large, and TFT as a pixel switching element and wiring of a picture signal line and a scan signal line also serve as a large number extremely according to this. Therefore, the frequency which the pixel defect resulting from the defect of TFT and the line defect of an open circuit and a short circuit, and others, such as a source line, generate is also high. Therefore, it is necessary to inspect line defects, such as a defect of TFT, and a source line, beforehand. And it is requested that inspection of a pixel defect etc. should be inspected in the condition before the liquid crystal impregnation process which is a final process in the case of manufacture of a liquid crystal display panel, i.e., the condition of a TFT array substrate. It is because the whole liquid crystal display panel must be canceled and the fall of the manufacture yield will be caused, when a pixel defect is discovered if a pixel defect is inspected after a liquid crystal impregnation process.

[0004] However, in the former, most efficient inspection approaches were extent which is not established but can be inspected only about the line defect of an open circuit and a short circuit, and others in the condition of a TFT array substrate. When a pixel defect is inspected, after pouring in liquid crystal between the TFT array substrate and the opposite substrate and producing a liquid crystal display panel, the electrical potential difference was impressed to the liquid crystal display panel, liquid crystal display actuation was observed by viewing, and the existence of a pixel defect was inspected. However, when a pixel defect is discovered as described above in order to inspect after liquid crystal display panel production, the whole liquid crystal display panel by which liquid crystal was poured in will be canceled, and the fall of the manufacture yield is caused.

[0005] Then, in the condition in front of a liquid crystal impregnation process, the pixel defective test equipment currently indicated by JP,7-77553,A is proposed so that it may be requested that a pixel defect should be detected and it may reply to this request. In the condition of the TFT array substrate in front of a liquid crystal impregnation process, by using the shift register for a scan which constitutes a part of drive circuit built in the TFT array substrate, this pixel defective test equipment is

constituted so that a pixel defect may be inspected one by one for every pixel.

[0006]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned conventional example, the technical problem that it can be used only for the liquid crystal display panel of the point sequential drive method with which the shift register for a scan was built into the drive circuit, and cannot be used for the liquid crystal display panel of a line sequential drive method occurs.

[0007] Moreover, even if it inspects using the test equipment of the above-mentioned conventional example in the case of the drive circuit built-in liquid crystal display panel which formed the drive circuit in the array substrate even if it was the liquid crystal display panel of a point sequential drive method, a problem arises in the point of dependability. It is because there is a possibility that a certain defect may occur in the drive circuit itself in the process which makes a drive circuit to a substrate, it will originate in generating of the defect of this drive circuit itself and the dependability of pixel defective inspection will fall.

[0008] Furthermore, with the above-mentioned conventional technique, in order to inspect a pixel defect one by one for every pixel, inspection time amount is long and the technical problem that a patient throughput is bad occurs.

[0009] The purpose of this invention is offering the liquid crystal display panel which can inspect a pixel defect and enabled it to inspect by short time amount moreover in the condition of the array substrate in front of a liquid crystal impregnation process in view of the above-mentioned technical problem.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention according to claim 1 of this inventions Two or more picture signal lines and two or more scan signal lines are formed in the shape of a matrix. And it has the array substrate with which the pixel switching element was formed in each location near the intersection of a picture signal line and a scan signal line, respectively. The picture signal line drive circuit which transmits a picture signal to the scan signal-line drive circuit which transmits a scan signal to said scan signal line, and said picture signal line In the liquid crystal display panel which is constituted by the semi-conductor layer formed on said array substrate, and displays with a line sequential drive method in the edge of one side of said picture signal line Said picture signal line drive circuit is connected, the pixel defective checking circuit for inspecting a pixel defect is connected to the edge of the other side of a picture signal line, and this pixel defective checking circuit is characterized by being constituted by the semi-conductor layer formed on said array substrate.

[0011] By preparing a pixel defective checking circuit, it becomes possible like the above to inspect a pixel defect in the condition in front of a liquid crystal impregnation process in the liquid crystal display panel of a line sequential drive method. Therefore,

the futility which manufactures the liquid crystal display panel which injects liquid crystal into the array substrate which connotes a pixel defect, and has a defect can be eliminated, and the yield of a final product can be improved.

[0012] In addition, face inspecting a pixel defect and it sets in the condition of the array substrate in front of a liquid crystal impregnation process. By impressing a picture signal electrical potential difference, drive an array substrate, and it is taken out for every 1 scan signal line, using as a discharge voltage wave (or discharge current wave) the charge accumulated in each pixel on 1 scan signal line. This taken-out discharge voltage wave is inspected by the pixel defective checking circuit, and the existence or nonexistence of a pixel defect are judged. Thus, since a pixel defect can be inspected for every 1 scan signal line, improvement in a patient throughput can be aimed at compared with the conventional example which conducts pixel defective inspection for every pixel.

[0013] Invention according to claim 2 is set on a liquid crystal display panel according to claim 1. Moreover, said pixel defective checking circuit The discharge current value or discharge voltage value of a charge accumulated in the capacity for every pixel which was prepared for every picture signal line and read for every 1 scan signal line through each picture signal line, It is characterized by comparing the reference value defined beforehand and having the comparator circuit changed and outputted to the logical value according to size relation, and the logical circuit outputted in quest of the AND of the output from said each comparator circuit.

[0014] By the above-mentioned configuration, when it is beyond the reference value that for example, the discharge voltage value defined beforehand, a comparator circuit outputs logic "1", and when it is under the reference value that the discharge voltage value defined beforehand, a comparator circuit outputs logic "0." Therefore, only when it is beyond the reference value that the discharge voltage value defined beforehand about each pixels of all read for every 1 scan signal line, the output of a logical circuit serves as logic "1." If there is at least 1 more than pixel which a discharge voltage value becomes under the reference value defined beforehand, the output of a logical circuit will serve as logic "0." Since enough charges for the capacity of a pixel are accumulated when a discharge voltage value becomes under a reference value and a pixel defect does not exist on the other hand, since a charge is hardly accumulated in the capacity of a pixel when a pixel defect exists, a discharge voltage value turns into beyond a reference value. Therefore, the logic state of the output of a logical circuit enables it to detect the existence of a pixel defect.

[0015] Moreover, invention according to claim 3 is characterized by preparing the digital disposal circuit which extends the pulse width of the output pulse of a comparator circuit between said comparator circuits and said logical circuits in a liquid crystal display panel according to claim 2.

[0016] Like the above, improvement in inspection precision can be aimed at by

extending the pulse width of the output pulse of a comparator circuit.

[0017] Moreover, the scan signal line of two or more picture signal lines and plurality is formed in the shape of a matrix. [invention / according to claim 4] And it has the array substrate with which the pixel switching element was formed in each location near the intersection of a picture signal line and a scan signal line, respectively. The picture signal line drive circuit which transmits a picture signal to the scan signal-line drive circuit which transmits a scan signal to said scan signal line, and said picture signal line In the liquid crystal display panel which is constituted by the semi-conductor layer formed on said array substrate, and displays with a point sequential drive method in the edge of one side of said picture signal line Said picture signal line drive circuit is connected. In the edge of the other side of a picture signal line It is characterized by being constituted by the semi-conductor layer which the pixel defective checking circuit for inspecting a pixel defect is connected, and this pixel defective checking circuit has the same circuitry as said picture signal line drive circuit, and was formed on said array substrate.

[0018] Since a pixel defective checking drive circuit is the same circuitry as a picture signal line drive circuit like the above, when a picture signal line drive circuit does not operate to normal according to a defect, a pixel defective checking drive circuit can be diverted to a picture signal line drive circuit, and the yield of a final product can be improved.

[0019]

[Embodiment of the Invention] (Gestalt 1 of operation) Drawing 1 is the perspective view showing some liquid crystal display panels concerning the gestalt 1 of operation, and drawing 2 is the circuit diagram of the liquid crystal display panel concerning the gestalt 1 of operation. The liquid crystal display panel concerning this invention is a so-called drive circuit built-in liquid crystal display panel by which the drive circuit for driving the liquid crystal display section was formed in the array substrate in one. Moreover, this liquid crystal display panel is a liquid crystal display panel of a line sequential drive method. A liquid crystal display panel has the liquid crystal layer 13 pinched between the array substrate 11, the opposite substrate 12 which counters the array substrate 11, and the array substrate 11 and the opposite substrate 12. Both the array substrate 11 and the opposite substrate 12 are transparent glass substrates. Two or more scan-on front face of array substrate 11 signal lines V1, V2, --, Vn (when naming a scan signal line generically, a reference mark V shows), Two or more picture signal lines S1, S2, --, Sn (when naming a picture signal line generically, a reference mark S shows) which intersect perpendicularly with each scan signal line V, Low-temperature polysilicon thin film transistor (it is hereafter called TFT for short) 15 -- as two or more pixel switching elements arranged corresponding to each intersection of the picture signal line S and the scan signal line V and two or more pixel electrode 16-- are formed. Source electrode 15a of TFT15 is connected to the

picture signal line S, and gate electrode 15b of TFT15 is connected to the scan signal line V. Moreover, drain electrode 15c of TFT15 is the liquid crystal capacity CLc and retention volume Cstg. It connects in common. In addition, the liquid crystal display section 5 is constituted by TFT15 -- of these plurality, two or more pixel electrode 16--, the picture signal line S, the scan signal line V, etc.

[0020] Furthermore, the picture signal line drive circuit 17 which transmits a picture signal through the picture signal line S, the scan signal-line drive circuit 18 which transmits a scan signal to gate electrode 15b of TFT15 through the scan signal line V, and the pixel defective checking circuit 20 which detects a pixel defect are established in the periphery of the liquid crystal display section 5 on the array substrate 11. The picture signal line drive circuit 17 is connected to one edge of the picture signal line S, and the pixel defective checking circuit 20 is connected to the other-end section of the picture signal line S. Here, for the functional defect of TFT15, even if the pixel to which TFT15 corresponds is not displayed at all or the pixel defect which serves as a subject of examination by the pixel defective checking circuit 20 is displayed, it means the case where predetermined brightness is not fulfilled etc.

[0021] Moreover, the counterelectrode 21 which consists of the transparence electric conduction film is formed in the inside front face of said opposite substrate 12, and the polarizing plate 22 is formed in the outside front face of the opposite substrate 12. Moreover, the polarizing plate 23 is formed in the outside front face of said array substrate 11. In addition, the pixel defective checking circuit 20, the picture signal line drive circuit 17, and the scan signal drive circuit 18 are the so-called built-in circuits made from the same manufacture process as TFT15 on the array substrate 11.

[0022] Drawing 3 is the circuit diagram showing the concrete configuration of a picture signal line drive circuit and a pixel defective checking circuit. The picture signal line drive circuit 17 consists of a shift register circuit 30, the image data line section 31, a sample hold circuit 32, a buffer circuit 33, and analog switches a1, a2, --, an. Explanation of the outline of the display action of the line sequential drive by the picture signal line drive circuit 17 of such a configuration gives the dot timing signal from a shift register circuit 30 first to a sample hold circuit 32. Thereby, the sample hold circuit 32 carries out sample hold of the picture signal sent from the image data line section 31 according to a dot timing signal one by one. And if a sample hold circuit 32 finishes carrying out sample hold of the data for one scan, the data for one scan will be sent into a buffer circuit 33 from a sample hold circuit 32. Then, a buffer circuit 33 writes data in each picture signal lines S1, S2, --, Sn over the time amount equivalent to 1 horizontal-scanning period at coincidence. Such actuation will be performed one by one for every 1 scan signal line, and the image data of one frame will be written in.

[0023] Moreover, said pixel defective checking circuit 20 consists of the comparator circuit B1 established in each picture signal line S of every, B-2, --, AND circuits A1

and A2, ..., An-1 with Bn (when naming a comparator circuit generically, a reference mark B shows) (when naming an AND circuit generically, a reference mark A shows). One input terminal of AND circuit A1 is connected to output Rhine of a comparator circuit B1, and the input terminal of another side of AND circuit A1 is connected to output Rhine of comparator circuit B-2. Moreover, AND circuit A2, A3, ..., An-1 It connects with output Rhine of the AND circuit (for example, the AND circuit of the preceding paragraph about AND circuit An-1 means AND circuit An-2) of the preceding paragraph, respectively, and one input terminal is AND circuit A2, A3, ..., An-1. The input terminal of another side is connected to comparator circuit B-2 and output Rhine of B3, ..., Bn, respectively. Said comparator circuit B is the reference voltage level Vref beforehand determined as the discharge voltage value of the charge accumulated in the capacity for every pixel read to every 1 scan signal line V through each picture signal line S. It compares and the function changed and outputted to the logical value according to size relation is achieved. For example, a discharge voltage value is a reference voltage level Vref. When it is above, a comparator circuit B outputs logic "1", and when a discharge voltage value is under the reference voltage level Vref, a comparator circuit B outputs logic "0." in addition, a discharge voltage value -- replacing with -- a discharge current value -- reading -- ** -- you may constitute like.

[0024] If the outline of the pixel defective inspection by such pixel defective checking circuit 20 is explained, it will set in the condition of the TFT array substrate in front of a liquid crystal impregnation process. Drive a TFT array substrate by impressing a picture signal electrical potential difference, and the charge accumulated in each pixel on 1 scan signal line V in the interior of an array substrate is made into a discharge voltage wave. It takes out to every 1 scan signal line V, and inspects by the pixel defective checking circuit 20, and the existence or nonexistence of a pixel defect are recognized.

[0025] Drawing 4 is a timing chart for explaining actuation of pixel defective inspection. Concrete actuation of pixel defective inspection is explained with reference to drawing 4. First, as shown in drawing 4 (a), a selection pulse is impressed to the scan signal line V1, and only a predetermined period changes into ON condition all TFT(s)15 connected to the scan signal line V1. Synchronizing with this, analog switches a1, a2, a3, ..., an are changed into ON condition. Thereby, as shown in drawing 4 (b), the picture signal electrical potential difference currently held in the sample hold circuit 32 is read to the picture signal line S, and charge is performed in the capacity (it is equivalent to the liquid crystal capacity CLc and retention volume Cstg) relevant to each TFT15 -- connected to the scan signal line V1 at coincidence. In addition, the electrical potential difference of the record level of the picture signal electrical-potential-difference range used is used so that charge may fully be performed in the liquid crystal capacity CLc relevant to TFT15 as a picture signal

electrical potential difference used here.

[0026] Next, a charge condition is held by making into an OFF condition all the TFT15 and analog switches a1, a2, a3, a4, --, an that are connected to the scan signal line V1. Then, only TFT15 is again made into ON condition, changing analog switches a1, a2, a3, a4, --, an into an OFF condition. Thereby, as shown in drawing 4 (c), the charge accumulated in each pixel discharges through the picture signal line S, and discharge voltage (or discharge current) is given to the pixel defective checking circuit 20.

[0027] In the pixel defective checking circuit 20, the existence of a pixel defect is diagnosed by the following signal processing. namely, the comparator circuit B which constitutes the pixel defective checking circuit 20 -- setting -- reference voltage level Vref the discharge voltage value given through the picture signal line S is compared, and it is shown in drawing 4 (d) -- as -- a discharge voltage value -- reference voltage level Vref the time of being above -- a comparator circuit B -- a logical value "1" -- outputting -- a discharge voltage value -- reference voltage level Vref When it is the following, a comparator circuit B outputs a logical value "0." And are the output of a comparator circuit B and conditions are AND circuits A1 and A2, --, An-1. It asks and is outputted from the detection terminal DIV. Therefore, when the output of the detection terminal DIV becomes logic "1" when all TFT(s)15 on 1 scan signal line V are normal, and TFT15 has a defect (it corresponds when there is a pixel defect), the output of the detection terminal DIV becomes logic "0." Therefore, the logic state of the output of the detection terminal DIV enables it to detect the existence of a pixel defect.

[0028] For example, the case where the engine performance of TFT15 about the intersection of the scan signal line V2 and the picture signal line S2 is poor is assumed. Since all the engine performance of TFT15 connected to the scan signal line V1 is good, as it is shown in drawing 4 (c), the peak of discharge voltage is a reference value Vref. It becomes the above. Therefore, the output of a comparator circuit B1, B-2, --, Bn serves as logic "1", as shown in drawing 4 (d). Therefore, the output of the detection terminal DIV serves as logic "1", as shown in drawing 4 (e). Subsequently, if inspection of TFT15 connected to the scan signal line V2 is conducted, the peak of the discharge voltage concerning the picture signal line S2 as shown in drawing 4 (c) is a reference value Vref. It becomes the following. Therefore, as for the output of the residual comparator circuits B1, B3, --, Bn, only the output of comparator circuit B-2 serves as a logical value "1" in logic "0." Therefore, the output of the detection terminal DIV serves as logic "0", as shown in drawing 4 (e). In this way, corresponding to the existence of a pixel defect, the logical level of the output of the detection terminal DIV changes, and it enables this to recognize the existence of a pixel defect.

[0029] In addition, reference value Vref What is necessary is just to set up by whether it has charge capacity to a voltage level permissible as engine performance of TFT. For example, when the pixel which corresponds according to the engine-performance

defect of TFT considers the condition of not being displayed at all to be a pixel defect, it is a reference value V_{ref} . What is necessary is just to set it as about 0 level. Moreover, it is a reference value V_{ref} about the voltage level from which predetermined brightness is obtained when considering the condition of not fulfilling predetermined brightness to be a pixel defect, although it is not in the condition that a corresponding pixel is not displayed at all. What is necessary is just to set up. Thus, reference value V_{ref} By setting it as arbitration, the pixel defect in the range permissible as engine performance of TFT can be inspected. Moreover, with the gestalt 1 of this operation, a pixel defect can be inspected for every 1 scan signal line, it can inspect in a short time compared with the conventional example which inspects for every pixel, and improvement in a patient throughput can be aimed at.

[0030] In addition, what is necessary is just to connect the detection terminal DIV to the input terminal I1 of luminescence equipment 25 as shown in drawing 5, in order to recognize the existence of a pixel defect concretely. When the output of the detection terminal DIV is logic "1", Transistor Tr will be in ON condition, forward current flows to light emitting diode D, and light emitting diode 26 lights up. When the output of the detection terminal DIV is logic "0", Transistor Tr will be in an OFF condition, a current does not flow to light emitting diode 26, and light emitting diode 26 is not turned on. In this way, the existence of a pixel defect can be recognized by viewing. In addition, it replaces with a light emitting diode 26, and you may make it recognize the existence of a pixel defect at a buzzer etc. Moreover, also although 2 input AND circuit is used and excels in the pixel defective checking circuit 20 with the gestalt of the above-mentioned implementation, you may be a configuration using three or more a large number input AND circuits.

[0031] (Gestalt 2 of operation) Drawing 6 is the circuit diagram showing the configuration of the pixel defective checking circuit of the liquid crystal display panel concerning the gestalt 2 of operation. With the gestalt 2 of operation, it replaces with the pixel defective checking circuit 20 in the gestalt 1 of the above-mentioned implementation, and pixel defective checking circuit 20A is used. This pixel defective checking circuit 20A is constituted so that T form flip-flops FF1, FF2, ..., FF_n (a reference mark FF shows when naming T form flip-flop generically) may intervene, respectively between a comparator circuit B1, B-2, ..., B_n and AND circuits A1, A2, ..., A_n. Such a configuration enables it to enlarge pulse width of the input signal to AND circuit A so that it may mention later.

[0032] Here, the moving function of T form flip-flop FF shown in drawing 7 is shown in Table 1.

[Table 1]

プリセット 入力 *PR	クリア 入力 *CL	カウント 入力 T	出力		動作状態
			Q	*Q	
0	0	任意値	1	1	禁止モード
0	1	任意値	1	トグル	一方の出力のみ 1レベル 他はトグル
1	0	任意値	トグル	1	
1	1	$\overline{n-1} \nearrow n$	*Q _{n-1}	Q _{n-1}	トグル動作
1	1	$\overline{n-1} \searrow n$	Q _{n-1}	*Q _{n-1}	変化せず

[0033] In drawing 7 and Table 1, a notation "*" shall mean reversal. For example, *PR mean reversal of PR, *CL means reversal of CL, and *Q means reversal of Q.

[0034] Subsequently, actuation of the pixel defective checking circuit of the gestalt 2 of this operation is explained, referring to the above-mentioned table 1. Inspection processing of a pixel defect is the same as that of the gestalt 1 of operation fundamentally. However, the inspection processings in pixel defective checking circuit 20A differ in the pixel defective checking circuit 20 by having considered as the configuration which equips a pixel defective checking circuit with T form flip-flop FF. First, like the gestalt 1 of operation, a selection pulse is impressed to the scan signal line V1, and all TFT15 -- linked to the scan signal line V1 is changed into a predetermined time ON condition. Synchronizing with this, the picture signal which is carrying out and changing the sample hold of the analog switches a1, a2, a3, --, an into ON condition is inputted, and charge is performed in each liquid crystal capacity CLc relevant to TFT15 through the picture signal line S at coincidence. Subsequently, after holding a charge condition by making TFT15 -- and analog switches a1, a2, a3, a4, --, an into an OFF condition, by making TFT15 -- into ON condition again, the discharge voltage (or discharge current) of the charge accumulated in each pixel is given to pixel defective checking circuit 20A, and the defect of the pixel about the scan signal line V1 is detected. If inspection processing about the above-mentioned scan signal line V1 and same processing are performed about the scan signal line V2 and there is no pixel defect when it is judged that there is no pixel defect about the scan signal line V1, same inspection processing is performed one by one with the scan

signal lines V3 and V4 and --.

[0035] Drawing 8 is a timing chart which shows actuation of pixel defective checking circuit 20A. In addition, drawing 8 is drawing only the wave relevant to the scan signal line V1 and a flip-flop FF 1. Hereafter, it explains focusing on the actuation relevant to the scan signal line V1 and a flip-flop FF 1 for convenience of explanation. The liquid crystal capacity CLc relevant to TFT15 connected to the scan signal line V1 as mentioned above discharges, as shown in drawing 8 (c), and the case where the output of the picture signal line B1 changes into a condition as [show / in drawing 8 (d)] is assumed. Here, the output of the picture signal line B1 is equivalent to the count input T of a flip-flop FF 1. Therefore, as shown in drawing 8 (d), in time of day t1, the count input T of a flip-flop FF 1 changes from logic "0" to logic "1." On the other hand, as this time of day t1 shows to drawing 8 (e), presetting *PR are logic "1", and since it is logic "1" as clearance *CL is also shown in drawing 8 (f), a flip-flop FF 1 is toggle operating state from Table 1. Therefore, an output Q is *Qn-1. It becomes. Here, it is Qn-1. It is Qn-1 as it is shown in drawing 8 (g), since the output of Q before time of day t1 is meant. It is logic "0." Therefore, *Qn-1 Becoming logic "1", an output Q changes to logic "1" in the time of day t1 which is the rising edge of the count input T as shown in drawing 8 (g). And logic "1" is maintained till time of day t2. In addition, even if the count input T changes from logic "1" to logic "0", it is changeless to an output Q from Table 1. And at time of day t2, since clearance *CL changes from logic "1" to logic "0", the output Q at this time serves as toggle actuation from Table 1. Therefore, an output Q changes from logic "1" to logic "0" in time of day t2, as shown in drawing 8 (g).

[0036] In this way, if the count input T shown in the output Q shown in obtained drawing 8 (g) and drawing 8 (d) is measured, it will be admitted that pulse width is large from the count input T in the output Q. This is the same also about other flip-flops FF 2 and the output of --FFn. In this way, between a comparator circuit B and AND circuit A, by considering T from flip-flop FF as the configuration which intervenes, respectively, it becomes possible to enlarge pulse width of the input signal to AND circuit A, and the precision of pixel defective checking circuit 20A can be improved. In addition, the output of the detection terminal DIV becomes logic "0", and signal processing of AND circuit A which follows becomes possible [identifying the existence of a pixel defect], when it is the same as that of the gestalt 1 of operation, the output of the detection terminal DIV becomes logic "1" when all TFT(s) on 1 scan signal line V are normal, and there is a pixel defect.

[0037] (Gestalt 3 of operation) Drawing 9 is the whole liquid crystal display panel block diagram concerning the gestalt 3 of operation. The gestalt 3 of this operation gives the same reference mark to the part which is similar and corresponds to the gestalt 1 of operation. with the gestalt 1 of the above-mentioned implementation, it was the liquid crystal display panel of a line sequential drive method -- although kicked -- the

gestalt 3 of this operation -- a dot order -- the points which are the liquid crystal display panels of a drive [degree] method differ. Therefore, with the gestalt 3 of this operation, it replaces with the picture signal line drive circuit 17 in the gestalt 1 of operation, and picture signal line drive circuit 17A for a point sequential drive is used. This picture signal line drive circuit 17A consists of analog switches a1, a2, and a3 linked to each picture signal lines S1, S2, S3, --, Sn, --, a n and the shift register 50 for a scan which sends in order the pulse which changes these analog switches a1, a2, a3, --, an into ON condition with a dot timing signal. Moreover, pixel defective checking circuit 20B in the gestalt 3 of this operation consists of analog switches a12, a22, a32, a42, --, an2 linked to each picture signal line S, and a shift register 62 which sends in order the pulse which changes these analog switches a12, a22, a32, a42, --, an2 into ON condition with a dot timing signal, and has become the same circuitry as picture signal line drive circuit 17A.

[0038] Next, inspection processing of the pixel defect in the gestalt 3 of this operation is explained. The pixel defective inspection in the gestalt 3 of this operation is the same as that of the gestalt 1 of the above-mentioned implementation fundamentally. However, by the liquid crystal display panel of the gestalt 3 of this operation, since it drives with a point sequential drive method, in the point detected for every pixel from pixel defective checking circuit 20B by making into a discharge voltage wave the charge accumulated in the liquid crystal capacity CLc relevant to TFT15 which constitutes each pixel, it is different. It explains concretely below. For example, the scan signal line V1 is chosen, the period when gate voltage is impressed is made to scan a shift register 50, and analog switches a1, a2, a3, a4, --, an are changed into a sequential ON condition at it. The liquid crystal capacity CLc relevant to TFT15 from which image data constitutes by this each pixel which sequential derivation is carried out and corresponds to the picture signal lines S1, S2, --, Sn through a data line D1 is charged. Subsequently, analog switches a1, a2, a3, a4, --, an are changed into an OFF condition.

[0039] Subsequently, the shift register 62 which constitutes pixel defective checking circuit 20B is made to scan, and the charge accumulated in each liquid crystal capacity CLc relevant to TFT15 is discharged. That is, it is taken out from a data line D2 through these switches a12, a22, a32, a42, --, an2 by making a shift register 62 scan and making analog switches a12, a22, a32, a42, --, an2 turn on one by one in this sequence, using the charge in every pixel as a discharge voltage wave (or discharge current wave). In addition, decision of the existence of a pixel defect should just use concretely the pixel defective test equipment currently indicated by for example, the conventional example (JP,7-77553,A). Namely, what is necessary is to input into the pixel defective test equipment concerned the discharge voltage wave taken out from the data line D2, and just to inspect the existence of a pixel defect.

[0040] Moreover, when the line defect exists in from the intersection of the scan

signal line V and the picture signal line S by which the selection pulse was impressed before pixel defective checking circuit 20B in order to write in a picture signal from one edge of the picture signal line S as mentioned above and to read this written-in picture signal from the other-end section of the picture signal line S for example, it becomes possible to inspect that collectively. For example, when the line defect exists in the location of x mark on the picture signal line S2 shown in drawing 9 , in case the 1st line and the defect which is the pixel of the 2nd train are inspected, pixel defective checking circuit 20B cannot read a discharge voltage wave, but the voltage waveform taken out from the data line D2 serves as about 0 level, and a line defect is detected. Thus, since not only a pixel defect but a line defect can be inspected, a patient throughput can be improved. It is because the TFT array substrate with which the line defect exists will be canceled if a line defect is detected during inspection processing of a pixel defect, so it becomes unnecessary to carry out pixel defective inspection after it.

[0041] In addition, with the gestalt 3 of this operation, since pixel defective checking drive circuit 20B is the same circuitry as picture signal line drive circuit 17A, when picture signal line drive circuit 17A does not operate to normal according to a defect, it has the characteristic effectiveness that pixel defective checking drive circuit 20B can be diverted to picture signal line drive circuit 17A.

[0042] Next, the manufacture approach of the polish recon thin film transistor which constitutes built-in circuits, such as the scan signal-line drive circuit 18 used in the gestalten 1-3 of the above-mentioned implementation, the picture signal line drive circuits 17 and 17A, and the pixel defective checking circuits 20, 20A, and 20B, is explained with reference to drawing 10 . first, for example, the glass substrate 100 top which consists of translucency glass of 670 degrees C of points [distortion] -- for example, SiO2 ** -- the substrate insulator layer 101 which consists of a said ingredient is formed by the technique of the ordinary pressure CVD method in 450-degree C temperature conditions. The thickness of the substrate insulator layer 101 may be 2000A.

[0043] After generating the substrate insulator layer 101, semiconductor material film 102' which consists of a-Si:H (compound of an amorphous silicon and hydrogen) is formed so that it may become predetermined thickness (for example, 500A) by the plasma-CVD method, and patterning is further carried out to a predetermined configuration at a lithography process. Dehydrogenation treatment is performed to semiconductor material film 102' which carried out patterning on condition that predetermined (for example, processing temperature 450degree-C , processing-time 60 minutes). In case this process crystallizes, it aims at preventing generating of the ablation of semiconductor material film 102' by the desorption of hydrogen.

[0044] After a dehydrogenation, by the technique of the exposure of a XeCl excimer laser with a wavelength of 380nm, semiconductor material film 102' is crystallized and

semiconductor material film 102' is used as the semi-conductor layer 102 of p-Si (refer to drawing 10 (a)).

[0045] next, the semi-conductor layer 102 top -- for example, SiO₂ from -- the pole of [by the ordinary pressure CVD method / at 450-degree C temperature conditions] 1000A for the becoming gate oxide 103 -- membranes are formed to thin thickness. After membrane formation of gate oxide 103, conductor film 104' which consists of aluminum etc. is formed by technique, such as sputtering, so that it may become predetermined thickness (for example, 3000A). And pattern NINGU of conductor film 104' is carried out at the lithography process using aluminum etching reagent at a predetermined configuration, and conductor film 104' is used as the gate electrode 104 from this (refer to drawing 10 (b)).

[0046] Next, by using the gate electrode 104 as a mask, technique, such as the ion doping method, is used for the both-sides part of the semi-conductor layer 102, and impurities, such as Lynn and boron, are poured into ion (self aryne configuration). Thereby, channel field 102a is formed in a center section, and source field 102b and drain field 102c are formed in the semi-conductor layer 102 at the both sides of channel field 102a, respectively (refer to drawing 10 (c)).

[0047] next, a gate oxide 103 top -- SiO₂ etc. -- from -- 105 between layer insulation becoming is formed in predetermined thickness (for example, 4000A), and the gate electrode 104 is covered with the formed interlayer insulation film 105. An interlayer insulation film 105 forms membranes with the ordinary pressure CVD method in 450-degree C temperature conditions (refer to drawing 10 (d)).

[0048] Next, a lithography process is used for an interlayer insulation film 105 and gate dielectric film 103, and the contact hole 106 which reaches source field 102b and drain field 102c is formed. After forming a contact hole 106, electric conduction film 107' which consists of a layered product of two kinds of conductors, Ti film, aluminum film, etc., is formed on an interlayer insulation film 105. Electric conduction film 107' is formed by sputtering. Moreover, 1000A is suitable for the thickness of Ti film, and 7000A is suitable for the thickness of aluminum film. Thus, it is completely filled up with a contact hole 106 by formed electric conduction film 107'. Furthermore, they are BCl₃ / Cl₂ about electric conduction film 107'. By carrying out pattern NINGU, the source drain electrode 107 is formed in a predetermined configuration at the lithography process using system gas (refer to drawing 10 (e)).

[0049] Next, the passivation film 108 used as a protective coat is formed. Then, the plasma hydrogen treating of 2 hours is performed under the processing temperature of 350 degrees C, heavy hydrogen quantity-of-gas-flow 300sccm, and the conditions of RF power 800W. The thin film transistor which constitutes a built-in drive circuit from a lithography process at the last by carrying out pattern NINGU of the passivation film 108 in a predetermined configuration is completed.

[0050] Although low-temperature poly-Si TFT was used, you may make it use TFT

constituted with other quality of a single crystal or polycrystal semiconductor materials with the gestalten 1-3 of the above-mentioned implementation.

[0051] Moreover, you may make it TFT from which TFT which constitutes the matrix of the liquid crystal display section 5 constitutes an amorphous TFT and built-in circuit (the scan signal-line drive circuit 18, the picture signal line drive circuits 17 and 17A, and pixel defective checking circuits 20, 20A, and 20B) consist of TFT(s) using the ingredient with which a display differs from a built-in drive circuit like low-temperature poly-Si TFT.

[0052]

[Effect of the Invention] According to this invention, in the condition of the array substrate before a liquid crystal impregnation process, a pixel defect is detectable about the liquid crystal display panel of a line sequential drive method as mentioned above. Therefore, the futility which manufactures a liquid crystal display panel with a pixel defect can be eliminated, and the yield of a final product can be improved.

[0053] Moreover, since a pixel defect can be inspected for every 1 scan signal line, improvement in a patient throughput can be aimed at compared with the conventional example inspected for every pixel.

[0054] Moreover, about the liquid crystal display panel of a point sequential drive method, since a pixel defective checking drive circuit is the same circuitry as a picture signal line drive circuit, when a picture signal line drive circuit does not operate to normal according to a defect, a pixel defective checking drive circuit can be diverted to a picture signal line drive circuit, and the yield of a final product can be improved.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing some liquid crystal display panels concerning the gestalt 1 of operation.

[Drawing 2] It is the circuit diagram of the liquid crystal display panel concerning the gestalt 1 of operation.

[Drawing 3] It is the circuit diagram showing the concrete configuration of the picture signal line drive circuit used for the liquid crystal display panel concerning the gestalt 1 of operation, and a pixel defective checking circuit.

[Drawing 4] It is a timing chart for explaining actuation of pixel defective inspection of the gestalt 1 of operation.

[Drawing 5] It is the circuit diagram of luminescence equipment.

[Drawing 6] It is the circuit diagram showing the configuration of the pixel defective checking circuit in the gestalt 2 of operation.

[Drawing 7] It is the circuit diagram of T mold flip-flop.

[Drawing 8] It is the timing chart which shows actuation of the pixel defective checking circuit in the gestalt 2 of operation.

[Drawing 9] It is the whole liquid crystal display panel block diagram concerning the gestalt 3 of operation.

[Drawing 10] It is the sectional view showing the production process of poly-Si TFT.

[Description of Notations]

11: Array substrate

12: Opposite substrate

13: Liquid crystal layer

15:TFT

16: Pixel electrode

17 17A: Picture signal line

18: Scan signal line

20, 20A, 20B: Pixel defective checking circuit

A1, A2, --, An-1 : AND circuit

B1, B-2, --, Bn: Comparator circuit

V1, V2, --, Vn: Scan signal line

S1, S2, --, Sn: Picture signal line

FF1, FF2, --, FFn: Flip-flop

DIV: Detection terminal

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-47255
(P2000-47255A)

(43)公開日 平成12年2月18日(2000.2.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	2 H 0 9 2
	1/1345		5 C 0 0 6
G 0 9 G 3/36		G 0 9 G 3/36	

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21)出願番号 特願平10-210714

(22)出願日 平成10年7月27日(1998.7.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 金子 尚美

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100101823

弁理士 大前 要

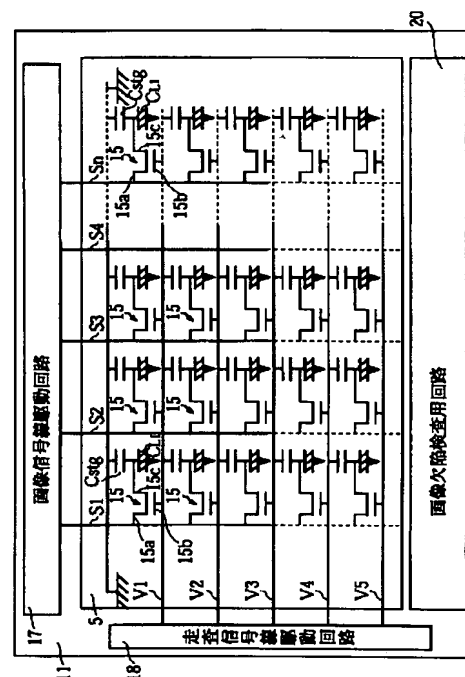
最終頁に続く

(54)【発明の名称】 液晶表示パネル

(57)【要約】

【課題】 液晶注入工程前のアレイ基板の状態において、画素欠陥の検査を行うことができ、しかも短い時間で検査を行うことができるようにした液晶表示パネルを提供する。

【構成】 線順次駆動方式により表示を行う液晶表示パネルである。走査信号線V1、…、Vnに走査信号を伝達する走査信号線駆動回路18及び画像信号線S1、…、Snに画像信号を伝達する画像信号線駆動回路17が、前記アレイ基板11上に形成された半導体層により構成されている。画像信号線S1、…、Snの一方側の端部には、画像信号線駆動回路17が接続され、画像信号線S1、…、Snの他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路20が接続されている。画素欠陥検査用回路20は、アレイ基板11上に形成された半導体層により構成されている。



【特許請求の範囲】

【請求項 1】 複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、線順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記アレイ基板上に形成された半導体層により構成されていることを特徴とする液晶表示パネル。

【請求項 2】 前記画素欠陥検査用回路は、各画像信号線毎に設けられ、各画像信号線を介して 1 走査信号線毎に読み出された各画素毎の容量に蓄積されている電荷の放電電流値または放電電圧値と、予め定めた基準値とを比較して、大小関係に応じた論理値に変換して出力する比較回路と、前記各比較回路からの出力の論理積を求めて出力する論理回路と、を有することを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 3】 前記比較回路と前記論理回路との間に、比較回路の出力パルスのパルス幅を広げる信号処理回路が設けられていることを特徴とする請求項 2 記載の液晶表示パネル。

【請求項 4】 複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、点順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記画像信号線駆動回路と同一の回路構成を有し、且つ前記アレイ基板上に形成された半導体層により構成されていることを特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画素スイッチング素子として薄膜トランジスタ（TFT：Thin Film Transistor）などのアクティブ素子を使用したアクティブマトリクス方式の液晶表示パネルに関し、特に、液晶注入工程前のアレイ基板の状態において画素欠陥を検査する

ことが可能な液晶表示パネルに関する。

【0002】

【従来の技術】 ポリシリコン薄膜トランジスタ（以下 p-Si TFT と略す）をスイッチング素子とするアクティブマトリクス型液晶表示パネルは、表示部を構成する画素トランジスタと同一の基板上に駆動回路を内蔵することができるという特徴がある。このような TFT マトリクスアレイを備えた液晶表示パネルの駆動方式としては、点順次駆動方式と線順次駆動方式の 2 通りがある。

【0003】 ところで、近年の液晶パネルの大画面化、高精細化に伴い、1 枚の液晶パネルの画素数が極めて大きくなり、これに応じて画素スイッチング素子としての TFT や画像信号線・走査信号線の配線もまた極めて多数となる。そのため、TFT の不良に起因した画素欠陥や、ソース線等の断線・短絡その他の線欠陥の発生する頻度も高い。従って、TFT の不良やソース線等の線欠陥を、予め検査しておくことが必要となる。しかも、画素欠陥等の検査は、液晶表示パネルの製造の際の最終工程である液晶注入工程以前の状態、即ち TFT アレイ基板の状態において検査することが要請される。なぜなら、液晶注入工程後に画素欠陥の検査を行うと、画素欠陥を発見した場合に液晶表示パネル全体を破棄しなければならず、製造歩留りの低下を招くからである。

【0004】 しかしながら、従来では TFT アレイ基板の状態において、効率的な検査方法はほとんど確立されておらず、断線・短絡その他の線欠陥についてのみ検査することができる程度であった。画素欠陥を検査する場合は、TFT アレイ基板と対向基板間に液晶を注入して液晶表示パネルを作製した後、液晶表示パネルに電圧を印加し、液晶表示動作を目視により観察して画素欠陥の有無を検査していた。しかし、液晶表示パネル作製後に検査を行うため、上記したように画素欠陥が発見された場合に、液晶が注入された液晶表示パネル全体を破棄することになり、製造歩留りの低下を招く。

【0005】 そこで、液晶注入工程前の状態において、画素欠陥を検出することが要請されており、かかる要請に答えるべく、特開平 7-77553 号公報に開示されている画素欠陥検査装置が提案されている。この画素欠陥検査装置は、液晶注入工程前の TFT アレイ基板の状態において、TFT アレイ基板に内蔵されている駆動回路の一部を構成する走査用シフトレジスタを利用することにより、1 画素毎に順次画素欠陥を検査するように構成されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記の従来例では、駆動回路に走査用シフトレジスタが組み込まれた点順次駆動方式の液晶表示パネルにしか使用できず、線順次駆動方式の液晶表示パネルに使用することができないという課題がある。

【0007】 また、点順次駆動方式の液晶表示パネルで

あっても、アレイ基板に駆動回路を形成した、駆動回路内蔵型の液晶表示パネルの場合、上記従来例の検査装置を用いて検査を行っても、信頼性の点において問題が生じる。なぜなら、駆動回路を基板に作り込む工程において駆動回路自体に何等かの不良が発生するおそれがあり、かかる駆動回路自体の不良の発生に起因して、画素欠陥検査の信頼性が低下することになるからである。

【0008】更に、上記従来技術では、1画素毎に順次画素欠陥を検査するため、検査時間が長く、検査効率が悪いという課題がある。

【0009】本発明の目的は、上記課題に鑑み、液晶注入工程前のアレイ基板の状態において、画素欠陥の検査を行うことができ、しかも短い時間で検査を行うことができるようにした液晶表示パネルを提供することである。

【0010】

【課題を解決するための手段】上記の課題を解決するため、本発明のうちの請求項1記載の発明は、複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、線順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記アレイ基板上に形成された半導体層により構成されていることを特徴とする。

【0011】上記の如く画素欠陥検査用回路を設けることにより、線順次駆動方式の液晶表示パネルにおいて、液晶注入工程前の状態で画素欠陥の検査を行うことが可能となる。そのため、画素欠陥を内包するアレイ基板に液晶を注入して欠陥のある液晶表示パネルを製造する無駄を排除することができ、最終製品の歩留まりを向上することができる。

【0012】尚、画素欠陥を検査するに際しては、液晶注入工程前のアレイ基板の状態において、画像信号電圧を印加することによりアレイ基板を駆動し、1走査信号線上の各画素に蓄積された電荷を放電電圧波形（または放電電流波形）として1走査信号線毎に取り出し、この取出された放電電圧波形を画素欠陥検査用回路により検査し、画素欠陥の存否を判断する。このように、1走査信号線毎に画素欠陥の検査を行うことができるので、1画素毎に画素欠陥検査を行う従来例に比べて、検査効率の向上を図ることができる。

【0013】また請求項2記載の発明は、請求項1記載の液晶表示パネルにおいて、前記画素欠陥検査用回路

は、各画像信号線毎に設けられ、各画像信号線を介して1走査信号線毎に読み出された各画素毎の容量に蓄積されている電荷の放電電流値または放電電圧値と、予め定めた基準値とを比較して、大小関係に応じた論理値に変換して出力する比較回路と、前記各比較回路からの出力の論理積を求めて出力する論理回路と、を有することを特徴とする。

【0014】上記した構成により、例えば、放電電圧値が予め定めた基準値以上のとき、比較回路は論理「1」を出力し、放電電圧値が予め定めた基準値未満のとき、比較回路は論理「0」を出力する。従って、1走査信号線毎に読み出された各画素全てに関して、その放電電圧値が予め定めた基準値以上の場合のみ、論理回路の出力は論理「1」となる。放電電圧値が予め定めた基準値未満となる画素が少なくとも1以上あれば、論理回路の出力は論理「0」となる。一方、画素欠陥が存在する場合は、画素の容量に電荷が殆ど蓄積されないため、放電電圧値が基準値未満となり、画素欠陥が存在しない場合は、画素の容量に十分な電荷が蓄積されるため、放電電圧値が基準値以上となる。よって、論理回路の出力の論理状態により、画素欠陥の有無を検出することが可能となる。

【0015】また請求項3記載の発明は、請求項2記載の液晶表示パネルにおいて、前記比較回路と前記論理回路との間に、比較回路の出力パルスのパルス幅を広げる信号処理回路が設けられていることを特徴とする。

【0016】上記の如く、比較回路の出力パルスのパルス幅を広げることにより、検査精度の向上を図ることができる。

【0017】また請求項4記載の発明は、複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、点順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記画像信号線駆動回路と同一の回路構成を有し、且つ前記アレイ基板上に形成された半導体層により構成されていることを特徴とする。

【0018】上記の如く、画素欠陥検査用駆動回路が画像信号線駆動回路と同一回路構成であるため、画像信号線駆動回路が不良により正常に動作しない場合、画素欠陥検査用駆動回路を画像信号線駆動回路に転用することができ、最終製品の歩留まりを向上することができる。

【0019】

【発明の実施の形態】（実施の形態 1）図 1 は実施の形態 1 に係る液晶表示パネルの一部分を示す斜視図であり、図 2 は実施の形態 1 に係る液晶表示パネルの回路図である。本発明に係る液晶表示パネルは、液晶表示部を駆動するための駆動回路が、アレイ基板に一体的に形成された、いわゆる駆動回路内蔵型の液晶表示パネルである。また、この液晶表示パネルは、線順次駆動方式の液晶表示パネルである。液晶表示パネルは、アレイ基板 11 と、アレイ基板 11 に対向する対向基板 12 と、アレイ基板 11 と対向基板 12 間に挟持された液晶層 13 とを有する。アレイ基板 11 及び対向基板 12 は、共に、透明なガラス基板である。アレイ基板 11 の表面には、複数の走査信号線 V1, V2, ..., Vn（走査信号線を総称するときは参照符号 V で示す）と、各走査信号線 V に直交する複数の画像信号線 S1, S2, ..., Sn（画像信号線を総称するときは参照符号 S で示す）と、画像信号線 S と走査信号線 V の各交点に対応して配置される複数の画素スイッチング素子としての低温ポリシリコン薄膜トランジスタ（以下、TFT と略称する）15... と、複数の画素電極 16... とが形成されている。TFT 15 のソース電極 15a は、画像信号線 S に接続され、TFT 15 のゲート電極 15b は走査信号線 V に接続されている。また、TFT 15 のドレイン電極 15c は、液晶容量 Clc 及び保持容量 Cstg に共通に接続されている。尚、これら複数の TFT 15...、複数の画素電極 16...、画像信号線 S 及び走査信号線 V などにより、液晶表示部 5 が構成されている。

【0020】更に、アレイ基板 11 上の液晶表示部 5 の周辺部には、画像信号を画像信号線 S を介して伝達する画像信号線駆動回路 17 と、走査信号線 V を介して TFT 15 のゲート電極 15b に走査信号を伝達する走査信号線駆動回路 18 と、画素欠陥を検出する画素欠陥検査回路 20 とが設けられている。画像信号線駆動回路 17 は、画像信号線 S の一方の端部に接続されており、画素欠陥検査回路 20 は、画像信号線 S の他方の端部に接続されている。ここで、画素欠陥検査回路 20 により検査対象となる画素欠陥とは、TFT 15 の機能欠陥のため、その TFT 15 の対応する画素が全く表示されないか、或いは表示されたとしても所定の明るさに満たない場合などを意味する。

【0021】また、前記対向基板 12 の内側表面には、透明導電膜から成る対向電極 21 が形成されており、対向基板 12 の外側表面には、偏光板 22 が形成されている。また、前記アレイ基板 11 の外側表面には、偏光板 23 が形成されている。尚、画素欠陥検査回路 20、画像信号線駆動回路 17 及び走査信号線駆動回路 18 は、TFT 15 と同一の製造プロセスでアレイ基板 11 上に作り込まれた、いわゆる内蔵回路である。

【0022】図 3 は画像信号線駆動回路及び画素欠陥検査回路の具体的な構成を示す回路図である。画像信号

線駆動回路 17 は、シフトレジスタ回路 30 と、画像データライン部 31 と、サンプルホールド回路 32 と、バッファ回路 33 と、アナログスイッチ a1, a2, ..., an とから構成されている。このような構成の画像信号線駆動回路 17 による線順次駆動の表示動作の概略を説明すると、まず、シフトレジスタ回路 30 からのドットタイミング信号が、サンプルホールド回路 32 に与えられる。これにより、サンプルホールド回路 32 は、ドットタイミング信号に応じて画像データライン部 31 より送られてきた画像信号を順次サンプルホールドしていく。そして、サンプルホールド回路 32 が 1 走査分のデータをサンプル・ホールドし終わると、1 走査分のデータがサンプルホールド回路 32 からバッファ回路 33 に送り込まれる。その後、バッファ回路 33 は、1 水平走査期間に相当する時間をかけて各画像信号線 S1, S2, ..., Sn に同時にデータを書き込む。このような動作が 1 走査信号線毎に順次行われ、1 フレームの画像データが書き込まれることになる。

【0023】また前記画素欠陥検査回路 20 は、各画像信号線 S 毎に設けられる比較回路 B1, B2, ..., Bn（比較回路を総称するときは参照符号 B で示す）と、アンド回路 A1, A2, ..., An-1（アンド回路を総称するときは参照符号 A で示す）から構成されている。アンド回路 A1 の一方の入力端子は比較回路 B1 の出力ラインに接続され、アンド回路 A1 の他方の入力端子は比較回路 B2 の出力ラインに接続されている。またアンド回路 A2, A3, ..., An-1 の一方の入力端子は、それぞれ前段のアンド回路（例えばアンド回路 An-1 に関する前段のアンド回路とは、アンド回路 An-2 を意味する）の出力ラインに接続され、アンド回路 A2, A3, ..., An-1 の他方の入力端子は、それぞれ比較回路 B2, B3, ..., Bn の出力ラインに接続されている。前記比較回路 B は、各画像信号線 S を介して 1 走査信号線 V 毎に読み出された各画素毎の容量に蓄積されている電荷の放電電圧値と、予め定めた基準電圧値 Vref とを比較し、大小関係に応じた論理値に変換して出力する機能を果たす。例えば、放電電圧値が基準電圧値 Vref 以上のときには、比較回路 B は論理「1」を出力し、放電電圧値が基準電圧値 Vref 未満のときには、比較回路 B は論理「0」を出力する。尚、放電電圧値に代えて放電電流値を読み出しすように構成してもよい。

【0024】このような画素欠陥検査回路 20 による画素欠陥検査の概要を説明すると、液晶注入工程前の TFT アレイ基板の状態において、画像信号電圧を印加することにより TFT アレイ基板を駆動し、アレイ基板内部において 1 走査信号線 V 上の各画素に蓄積された電荷を放電電圧波形として、1 走査信号線 V 毎に取り出して、画素欠陥検査回路 20 により検査し、画素欠陥の存否を認識するものである。

【0025】図 4 は画素欠陥検査の動作を説明するため

10

20

30

40

50

のタイミングチャートである。図 4 を参照して、画素欠陥検査の具体的な動作を説明する。まず、図 4 (a) に示すように、走査信号線 V1 に選択パルスを印加して、走査信号線 V1 に接続されているすべての TFT15 を所定期間だけ ON 状態にする。これに同期して、アナログスイッチ a1, a2, a3, ..., an を ON 状態にする。これにより、図 4 (b) に示すように、サンプルホールド回路 32 に保持されている画像信号電圧が画像信号線 S に読み出され、走査信号線 V1 に接続されている各 TFT15 … に関連する容量（液晶容量 CLc 及び保持容量 Cstg に相当する）に同時に充電が行われる。尚、ここで使用される画像信号電圧としては、TFT15 に関連する液晶容量 CLc に十分に充電が行われるように使用画像信号電圧範囲のうちの最高レベルの電圧が用いられる。

【0026】次に、走査信号線 V1 に接続されているすべての TFT15 及びアナログスイッチ a1, a2, a3, a4, ..., an を OFF 状態として充電状態を保持する。その後、アナログスイッチ a1, a2, a3, a4, ..., an を OFF 状態にしたまま、TFT15 のみを再度 ON 状態とする。これにより、図 4 (c) に示すように、各画素に蓄積された電荷が画像信号線 S を介して放電され、放電電圧（または放電電流）が画素欠陥検査用回路 20 に与えられる。

【0027】画素欠陥検査用回路 20 では、以下の信号処理により画素欠陥の有無を診断する。即ち、画素欠陥検査用回路 20 を構成する比較回路 B において、基準電圧値 Vref と画像信号線 S を介して与えられた放電電圧値とが比較され、図 4 (d) に示すように、放電電圧値が基準電圧値 Vref 以上のときには比較回路 B は論理値「1」を出力し、放電電圧値が基準電圧値 Vref 未満のときには比較回路 B は論理値「0」を出力する。そして、比較回路 B の出力のアンド条件がアンド回路 A1, A2, ..., An-1 により求められ、検出端子 DIV から出力される。従って、1 走査信号線 V 上の全ての TFT15 が正常である場合、検出端子 DIV の出力は論理「1」になり、TFT15 に欠陥がある場合（画素欠陥がある場合に相当する）は、検出端子 DIV の出力は論理「0」になる。よって、検出端子 DIV の出力の論理状態により、画素欠陥の有無を検出することが可能となる。

【0028】例えば、走査信号線 V2 と画像信号線 S2 の交点に関する TFT15 の性能が不良である場合を想定する。走査信号線 V1 に接続されているすべての TFT15 の性能が良好であるので、図 4 (c) に示すように、放電電圧のピークが基準値 Vref 以上となる。従って、比較回路 B1, B2, ..., Bn の出力は、図 4

(d) に示すように、論理「1」となる。よって、検出端子 DIV の出力は、図 4 (e) に示すように、論理「1」となる。次いで、走査信号線 V2 に接続されてい

る TFT15 の検査が行われると、図 4 (c) に示すように、画像信号線 S2 に関する放電電圧のピークが基準値 Vref 未満となる。従って、比較回路 B2 の出力のみが、論理「0」で、残余の比較回路 B1, B3, ..., Bn の出力は論理値「1」となる。よって、検出端子 DIV の出力は、図 4 (e) に示すように、論理「0」となる。こうして、画素欠陥の有無に対応して、検出端子 DIV の出力の論理レベルが変化し、これにより画素欠陥の有無を認識することが可能となる。

【0029】尚、基準値 Vref は、TFT の性能として許容できる電圧レベルまで充電能力を有するか否かにより、設定すればよい。例えば、TFT の性能欠陥により対応する画素が全く表示されない状態を画素欠陥と考えるときは、基準値 Vref をほぼ 0 レベルに設定すればよい。また、対応する画素が全く表示されない状態ではないが、所定の明るさに満たない状態を画素欠陥と考えるときは、所定の明るさが得られる電圧レベルを基準値 Vref に設定すればよい。このようにして、基準値 Vref を任意に設定することにより、TFT の性能として許容できる範囲においての画素欠陥を検査することができ、また、本実施の形態 1 では、1 走査信号線毎に画素欠陥を検査することができ、1 画素毎に検査を行う従来例に比べて、短時間で検査を行うことができ、検査効率の向上を図ることができる。

【0030】尚、具体的に画素欠陥の有無を認識するためには、例えば、図 5 に示すような発光装置 25 の入力端子 I1 に、検出端子 DIV を接続するようにすればよい。検出端子 DIV の出力が論理「1」のときは、トランジスタ Tr が ON 状態となり、発光ダイオード D に順方向電流が流れ、発光ダイオード 26 が点灯する。検出端子 DIV の出力が論理「0」のときは、トランジスタ Tr が OFF 状態となり、発光ダイオード 26 に電流が流れず、発光ダイオード 26 は点灯しない。こうして、画素欠陥の有無を目視により認識することができる。尚、発光ダイオード 26 に代えて、ブザー等により画素欠陥の有無を認識するようにしてもよい。また、上記実施の形態では、画素欠陥検査用回路 20 において 2 入力アンド回路が用いられたけれども、3 以上の多数入力アンド回路を用いる構成であってもよい。

【0031】（実施の形態 2）図 6 は実施の形態 2 に係る液晶表示パネルの画素欠陥検査用回路の構成を示す回路図である。実施の形態 2 では、上記実施の形態 1 における画素欠陥検査用回路 20 に代えて画素欠陥検査用回路 20A が用いられる。この画素欠陥検査用回路 20A は、比較回路 B1, B2, ..., Bn とアンド回路 A1, A2, ..., An との間に、T 形フリップフロップ FF1, FF2, ..., FFn（T 形フリップフロップを総称するときは参照符号 FF で示す）がそれぞれ介在するように構成されている。このような構成により、後述するように、アンド回路 A への入力信号のパルス幅を大きく

することが可能となる。

* F Fの動作機能を表1に示す。

【0032】ここで、図7に示すT形フリップフロップ* 【表1】

プリセット 入力 *PR	クリア 入力 *CL	カウント 入力 T	出力		動作状態
			Q	*Q	
0	0	任意値	1	1	禁止モード
0	1	任意値	1	トグル	一方の出力のみ 1レベル 他はトグル
1	0	任意値	トグル	1	
1	1	$\overline{n-1} \rightarrow n$	*Q _{n-1}	Q _{n-1}	トグル動作
1	1	$n-1 \rightarrow \overline{n}$	Q _{n-1}	*Q _{n-1}	変化せず

【0033】図7及び表1において、記号「*」は反転を意味するものとする。例えば、*PRはPRの反転を意味し、*CLはCLの反転を意味し、*QはQの反転を意味する。

【0034】次いで、上記表1を参考にしつつ、本実施の形態2の画素欠陥検査用回路の動作を説明する。画素欠陥の検査処理は、基本的には実施の形態1と同様である。但し、画素欠陥検査用回路にT形フリップフロップFFを備える構成としたことにより、画素欠陥検査用回路20Aにおける検査処理が画素欠陥検査用回路20とは異なる。まず、実施の形態1と同様に、走査信号線V1に選択パルス印加し、走査信号線V1に接続している全てのTFT15…を所定時間ON状態にする。これと同期して、アナログスイッチa1, a2, a3, …, anをON状態にしてサンプルホールドしている画像信号を入力して、各TFT15に関連する液晶容量CLcに画像信号線Sを通じて同時に充電が行なわれる。次いで、TFT15…及びアナログスイッチa1, a2, a3, a4, …, anをOFF状態として充電状態を保持した後、再度TFT15…をON状態とすることによって、各画素に蓄積された電荷の放電電圧（または放電電流）を画素欠陥検査用回路20Aに与え、走査信号線V1に関する画素の欠陥を検出する。走査信号線V1に関して画素欠陥がないと判断した場合は、上記の走査信号線V1に関する検査処理と同様の処理を、走査信号線V2について行い、画素欠陥がなければ、同様な検査処理を走査信号線V3, V4, …と順次行っていく。

【0035】図8は画素欠陥検査用回路20Aの動作を示すタイミングチャートである。尚、図8は走査信号線V1及びフリップフロップFF1に関連する波形のみを描いている。以下、説明の便宜上、走査信号線V1及び

フリップフロップFF1に関連する動作を中心に説明する。上記のように走査信号線V1に接続しているTFT15に関連する液晶容量CLcが、図8(c)に示すように放電され、画像信号線B1の出力が、図8(d)に示すよう状態となった場合を想定する。ここで、画像信号線B1の出力はフリップフロップFF1のカウント入力Tに相当する。従って、図8(d)に示すよう、時刻t1において、フリップフロップFF1のカウント入力Tが論理「0」から論理「1」に変化する。一方、この時刻t1では、図8(e)に示すようにプリセット*PRは論理「1」であり、且つクリア*CLも図8(f)に示すように論理「1」であるので、フリップフロップFF1は表1よりトグル動作状態である。よって、出力Qは*Q_{n-1}となる。ここで、Q_{n-1}は時刻t1以前のQの出力を意味するので、図8(g)に示すように、Q_{n-1}は論理「0」である。従って、*Q_{n-1}は論理「1」となり、出力Qは図8(g)に示すようにカウント入力Tの立ち上がりエッジである時刻t1において論理「1」に変化する。そして、時刻t2まで論理「1」を維持する。尚、カウント入力Tが論理「1」から論理「0」に変化しても、表1より出力Qに変化はない。そして時刻t2では、クリア*CLが論理「1」から論理「0」に変化するので、このときの出力Qは表1よりトグル動作となる。よって、出力Qは、図8(g)に示すように、時刻t2において論理「1」から論理「0」に変化する。

【0036】こうして得られた図8(g)に示す出力Qと、図8(d)に示すカウント入力Tとを比較すれば、出力Qの方がカウント入力Tよりも、パルス幅が大きくなっていることが認められる。このことは、他のフリップフロップFF2, …FFnの出力に関しても同様であ

る。こうして、比較回路Bとアンド回路Aとの間に、T形フリップフロップFFをそれぞれ介在する構成とすることにより、アンド回路Aへの入力信号のパルス幅を大きくすることが可能となり、画素欠陥検査用回路20Aの精度を向上することができる。尚、後続するアンド回路Aの信号処理は、実施の形態1と同様であり、1走査信号線V上の全てのTFTが正常である場合には、検出端子DIVの出力が論理「1」になり、画素欠陥がある場合には、検出端子DIVの出力が論理「0」になり、画素欠陥の有無を識別することが可能となる。

【0037】（実施の形態3）図9は実施の形態3に係る液晶表示パネルの全体構成図である。この実施の形態3は、実施の形態1に類似し対応する部分には同一の参照符号を付す。上記実施の形態1では線順次駆動方式の液晶表示パネルであったけれども、本実施の形態3では点順次駆動方式の液晶表示パネルである点が異なる。従って、本実施の形態3では、実施の形態1における画像信号線駆動回路17に代えて点順次駆動用の画像信号線駆動回路17Aが用いられる。この画像信号線駆動回路17Aは、各画像信号線S1, S2, S3, ..., Snに接続するアナログスイッチa1, a2, a3, ..., anと、このアナログスイッチa1, a2, a3, ..., anをON状態にするパルスをドットタイミング信号で順番に送る走査用シフトレジスタ50とから構成されている。また、本実施の形態3における画素欠陥検査用回路20Bは、各画像信号線Sに接続するアナログスイッチa12, a22, a32, a42, ..., an2と、このアナログスイッチa12, a22, a32, a42, ..., an2をON状態にするパルスをドットタイミング信号で順番に送るシフトレジスタ62とから構成されており、画像信号線駆動回路17Aと同じ回路構成となっている。

【0038】次に、本実施の形態3における画素欠陥の検査処理を説明する。本実施の形態3における画素欠陥検査は、基本的には上記実施の形態1と同様である。但し、本実施の形態3の液晶表示パネルでは、点順次駆動方式により駆動されるため、各画素を構成するTFT15に関連する液晶容量C_{Lc}に蓄積した電荷を放電電圧波形として画素欠陥検査用回路20Bより1画素毎に検出する点において相違する。以下に具体的に説明する。例えば、走査信号線V1を選択し、ゲート電圧が印加されている期間に、シフトレジスタ50を走査させアナログスイッチa1, a2, a3, a4, ..., anを順次ON状態にする。これにより、画像データが、データラインD1を介して、画像信号線S1, S2, ..., Snに順次導出され、対応する各画素を構成するTFT15に関連する液晶容量C_{Lc}が充電される。次いで、アナログスイッチa1, a2, a3, a4, ..., anをOFF状態にする。

【0039】次いで、画素欠陥検査用回路20Bを構成

するシフトレジスタ62を走査させ、各TFT15に関連する液晶容量C_{Lc}に蓄積された電荷を放電する。すなわち、シフトレジスタ62を走査させてアナログスイッチa12, a22, a32, a42, ..., an2をこの順序で順次にONさせることにより、このスイッチa12, a22, a32, a42, ..., an2を介して1画素毎の電荷を放電電圧波形（または放電電流波形）としてデータラインD2より取り出す。尚、具体的に画素欠陥の有無の判断は、例えば従来例（特開平7-77553号公報）に開示されている画素欠陥検査装置を使用すればよい。即ち、データラインD2より取り出された放電電圧波形を、当該画素欠陥検査装置に入力して、画素欠陥の有無を検査すればよい。

【0040】また、上記のように画像信号線Sの一方の端部から画像信号を書き込み、この書き込まれた画像信号を画像信号線Sの他方の端部から読み出すため、例えば選択パルスが印加された走査信号線Vと画像信号線Sとの交点から画素欠陥検査用回路20Bまでの間に線欠陥が存在している場合に、そのことを併せて検査することが可能となる。例えば、図9に示す画像信号線S2上の×印の位置に線欠陥が存在している場合、第1行、第2列の画素の欠陥を検査する際に放電電圧波形を画素欠陥検査用回路20Bが読み出すことができず、データラインD2より取り出された電圧波形はほぼ0レベルとなり、線欠陥が検出される。このようにして、画素欠陥のみならず、線欠陥をも検査することができるので、検査効率を向上することができる。なぜなら、画素欠陥の検査処理中において線欠陥が検出されると、その線欠陥の存在するTFTアレイ基板は破棄されるので、それ以降に画素欠陥検査をする必要がなくなるからである。

【0041】尚、本実施の形態3では、画素欠陥検査用駆動回路20Bが画像信号線駆動回路17Aと同一回路構成であるため、画像信号線駆動回路17Aが不良により正常に動作しない場合、画素欠陥検査用駆動回路20Bを画像信号線駆動回路17Aに転用することができるという特有の効果を有する。

【0042】次に、上記実施の形態1～3において使用される走査信号線駆動回路18、画像信号線駆動回路17, 17A及び画素欠陥検査用回路20, 20A, 20B等の内蔵回路を構成するポリシリコン薄膜トランジスタの製造方法を、図10を参照して説明する。先ず、例えば歪み点670℃の透光性ガラスからなるガラス基板100上に、例えばSiO₂といった材料からなる下地絶縁膜101を、450℃の温度条件での常圧CVD法といった手法にて成膜する。下地絶縁膜101の膜厚は、例えば2000Åとする。

【0043】下地絶縁膜101を生成した後、a-Si:H（アモルファスシリコンと水素との化合物）から成る半導体材料膜102'をプラズマCVD法にて所定の膜厚（例えば500Å）となるように成膜し、さらに

リソグラフィー工程にて所定の形状にパターンニングする。パターンニングした半導体材料膜 102' に対して所定の条件（例えば処理温度 450℃、処理時間 60 分）で脱水素処理を行う。この工程は、結晶化を行う際に水素の脱離による半導体材料膜 102' のアブレーションの発生を防ぐことを目的としている。

【0044】脱水素後、波長 380nm の XeCl エキシマレーザーの照射といった手法により、半導体材料膜 102' の結晶化を行い、半導体材料膜 102' を p-Si の半導体層 102 にする（図 10（a）参照）。

【0045】次に、半導体層 102 上に例えば SiO₂ からなるゲート酸化膜 103 を 450℃ の温度条件で常圧 CVD 法により、例えば 1000 Å とした極薄い膜厚に成膜する。ゲート酸化膜 103 の成膜後、Al 等からなる導電体膜 104' を所定の膜厚（例えば 3000 Å）となるようにスパッタリング等の手法により形成する。そして、導電体膜 104' を Al エッチング液を用いたリソグラフィー工程にて、所定の形状にパターンニングし、これより、導電体膜 104' をゲート電極 104 にする（図 10（b）参照）。

【0046】次に、ゲート電極 104 をマスクとして半導体層 102 の両側部位に、イオンドーピング法等の手法を用いてリン、ボロンなどの不純物をイオンに注入する（セルフアライン構成）。これにより、半導体層 102 には、中央部にチャネル領域 102a が、チャネル領域 102a の両側にソース領域 102b 及びドレイン領域 102c がそれぞれ形成される（図 10（c）参照）。

【0047】次に、ゲート酸化膜 103 上に SiO₂ 等からなる層間絶縁膜 105 を所定の膜厚（例えば 4000 Å）に形成し、形成した層間絶縁膜 105 によってゲート電極 104 を被覆する。層間絶縁膜 105 は、例えば、450℃ の温度条件での常圧 CVD 法にて成膜する（図 10（d）参照）。

【0048】次に、層間絶縁膜 105 とゲート絶縁膜 103 とに、リソグラフィー工程を用いて、ソース領域 102b、ドレイン領域 102c に達するコンタクトホール 106 を形成する。コンタクトホール 106 を形成したのち、層間絶縁膜 105 上に、Ti 膜、Al 膜等の 2 種類の導電体の積層体からなる導電膜 107' を形成する。導電膜 107' は例えば、スパッタリングにより形成する。また Ti 膜の膜厚は例えば 1000 Å が適当であり、Al 膜の膜厚は例えば 7000 Å が適当である。このようにして形成した導電膜 107' によりコンタクトホール 106 を完全に充填する。さらに、導電膜 107' を BC13 / C12 系ガスをを用いたリソグラフィー工程にて所定の形状にパターンニングすることで、ソース・ドレイン電極 107 を形成する（図 10（e）参照）。

【0049】次に保護膜となるパッシベーション膜 10

8 を成膜する。続いて、処理温度 350℃、重水素ガス流量 300 sccm、RF パワー 800W の条件下で、2 時間のプラズマ水素化処理を行う。最後に、リソグラフィー工程にて、パッシベーション膜 108 を所定の形状にてパターンニングすることで、内蔵駆動回路を構成する薄膜トランジスタが完成する。

【0050】上記実施の形態 1～3 では、低温ポリシリコン TFT を用いたけれども、他の単結晶質あるいは多結晶質半導体材料により構成される TFT を用いるようにしてもよい。

【0051】また、液晶表示部 5 のマトリクスを構成する TFT がアモルファス TFT、内蔵回路（走査信号線駆動回路 18、画像信号線駆動回路 17、17A 及び画素欠陥検査用回路 20、20A、20B）を構成する TFT が低温ポリシリコン TFT というように、表示部と内蔵駆動回路が異なる材料を用いた TFT で構成するようにしてもよい。

【0052】

【発明の効果】以上のように本発明によれば、線順次駆動方式の液晶表示パネルについて、液晶注入工程以前のアレイ基板の状態において画素欠陥を検出することができ、従って、画素欠陥のある液晶表示パネルを製造する無駄を排除することができ、最終製品の歩留まりを向上することができる。

【0053】また、1 走査信号線毎に画素欠陥を検査できるため、1 画素毎に検査する従来例に比べて検査効率の向上を図ることができる。

【0054】また、点順次駆動方式の液晶表示パネルについて、画素欠陥検査用駆動回路が画像信号線駆動回路と同一回路構成であるため、画像信号線駆動回路が不良により正常に動作しない場合、画素欠陥検査用駆動回路を画像信号線駆動回路に転用することができ、最終製品の歩留まりを向上することができる。

【図面の簡単な説明】

【図 1】実施の形態 1 に係る液晶表示パネルの一部分を示す斜視図である。

【図 2】実施の形態 1 に係る液晶表示パネルの回路図である。

【図 3】実施の形態 1 に係る液晶表示パネルに使用される画像信号線駆動回路及び画素欠陥検査用回路の具体的な構成を示す回路図である。

【図 4】実施の形態 1 の画素欠陥検査の動作を説明するためのタイミングチャートである。

【図 5】発光装置の回路図である。

【図 6】実施の形態 2 における画素欠陥検査用回路の構成を示す回路図である。

【図 7】T 型フリップフロップの回路図である。

【図 8】実施の形態 2 における画素欠陥検査用回路の動作を示すタイミングチャートである。

【図 9】実施の形態 3 に係る液晶表示パネルの全体構成

図である。

【図10】ポリシリコンTFTの製造工程を示す断面図である。

【符号の説明】

11：アレイ基板
12：対向基板
13：液晶層
15：TFT
16：画素電極

* 17, 17A：画像信号線

18：走査信号線

20, 20A, 20B：画素欠陥検査用回路

A1, A2, ..., An-1：アンド回路

B1, B2, ..., Bn：比較回路

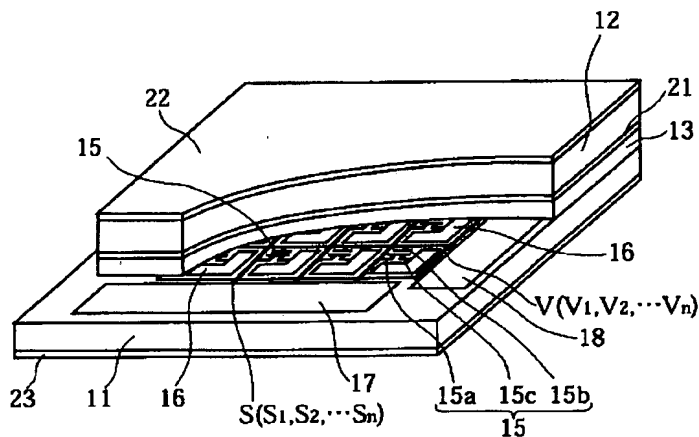
V1, V2, ..., Vn：走査信号線

S1, S2, ..., Sn：画像信号線

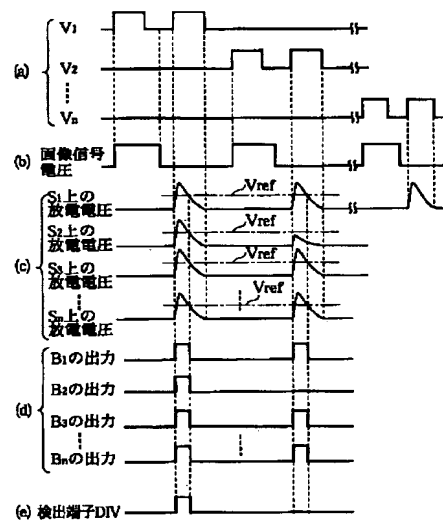
FF1, FF2, ..., FFn：フリップフロップ

* DIV：検出端子

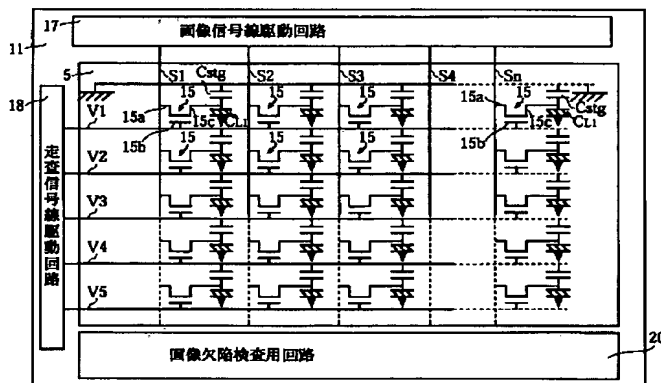
【図1】



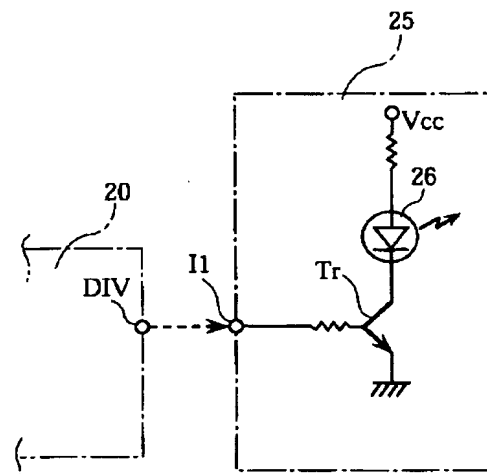
【図4】



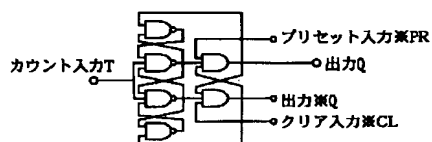
【図2】



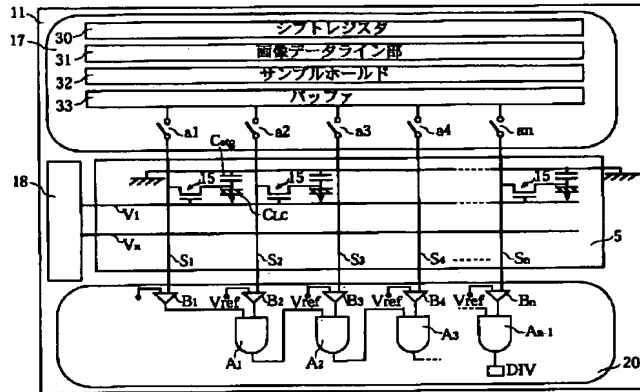
【図5】



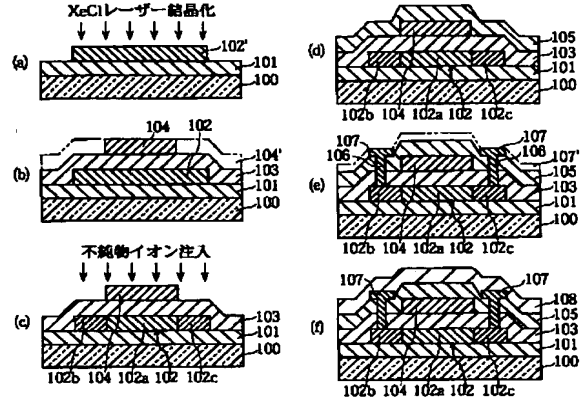
【図7】



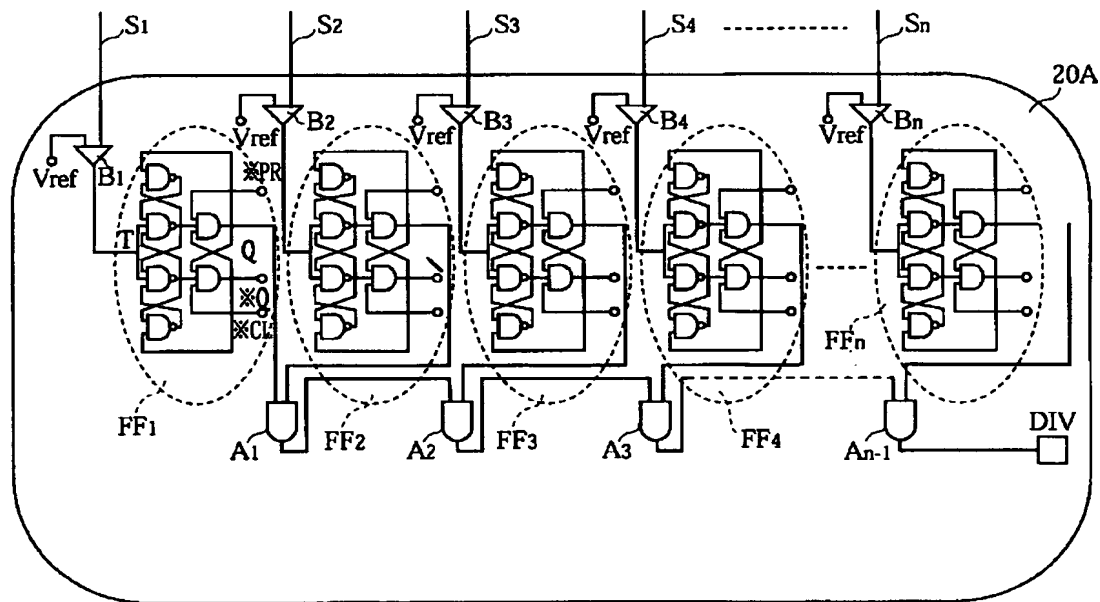
【図3】



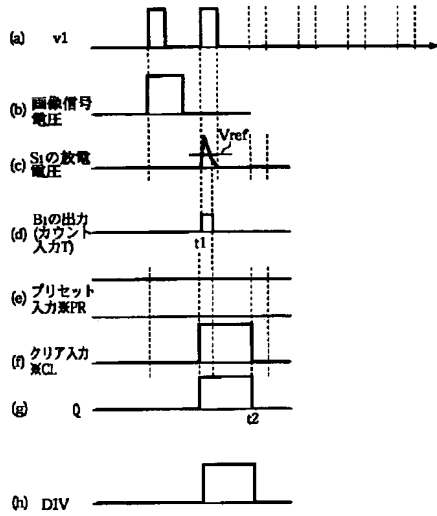
【図10】



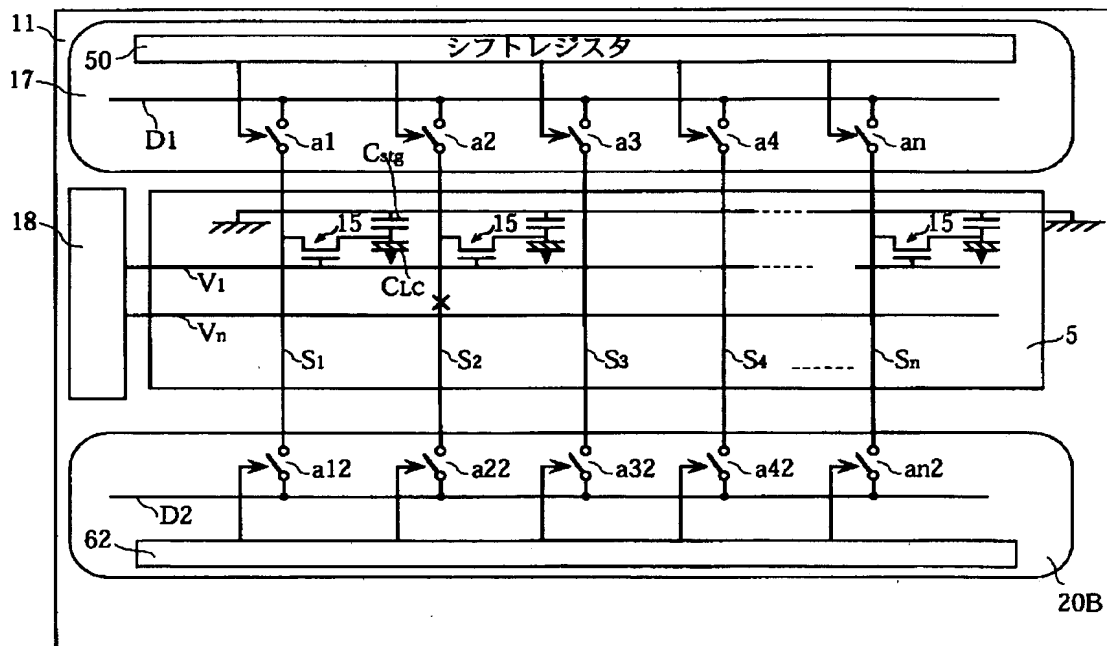
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 中村 美香
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2H092 GA59 HA28 JA24 JA35 JA39
JA43 JA44 JB57 JB77 KA03
KA04 KA05 KA10 KA12 KA18
KB25 MA05 MA07 MA08 MA18
MA27 MA30 MA37 MA41 MA57
MA58 NA13 NA29 NA30 PA06
5C006 AC02 AF44 AF51 AF53 BB16
BC20 BF03 BF06 BF11 BF14
BF26 BF31 BF43 EB01 EB04
FA00